

Concise Statements

Reference (Inventor)	Publication Date	Concise Statements
JP 48-022285 (Hatsukano)	03/20/1973	In a method of manufacturing a MOS semiconductor device, it is disclosed that an insulating film made of SiO ₂ film 14 (approximately 1000 Å) is formed on a surface of Si wafer 11 by a thermal oxidation method, and an insulating film made of Si ₃ N ₄ film 15 (300 ~ 400 Å) is formed on the SiO ₂ film 14 by decomposing a mixture gas of SiH ₄ and NH ₃ . And polycrystalline Si film 16 is formed on the Si ₃ N ₄ film 15 by decomposing SiH ₄ gas.
→ JP 47-018278 (Mishimagi)	09/13/1972	In a method of manufacturing a semiconductor device, it is disclosed that an insulating film made of SiO ₂ film 4 is formed on a Si substrate by a thermal oxidation method. And Si ₃ N ₄ film 5 is formed on the SiO ₂ film 4 by a vapor phase reaction of SiH ₄ and NH ₃ for example. It is preferable to set a thickness in each of the SiO ₂ film 4 and the Si ₃ N ₄ film 5 to 300 ~ 500 Å, respectively.
JP 02-148132 (Aoe)	12/17/1990	In thin film transistors of an active matrix type liquid crystal display device, a drain region 3", a channel region, and a source region 3' are made of a polycrystalline silicon film 3, wherein the silicon film in the channel region and the source region 3' are thinner than the silicon film in the drain region 3".
JP 49-078483 (Hirabayashi)	07/29/1974	In forming an oxide film containing halogen ions on a semiconductor substrate, the halogen ions are introduced by an ion implantation method. Thereby, pinholes in the oxide film can be reduced and quality of the oxide film can be enhanced.



訂止有り(1)

⑫特願昭46-3792

⑪特開昭47-18278

⑬公開昭47.(1972)9.13 (全3頁)

審査請求 無

⑭日本国特許庁

⑬ 公開特許公報

庁内整理番号

⑮日本分類

6426 57

990E3

2,000円

特 許 願 (5)

46 2 3

特許庁長官 殿

発明の名称 パントグラフ用紙 セミコン
半導体装置の製造法

発明者

コナミエレクトロニクス株式会社
東京都小平市上水本町1450番地
株式会社日立製作所東工場内
三島 正 光

特許出願人

東京都千代田区丸の内一丁目5番1号
日立製作所
物産部

代理人

東京都千代田区丸の内一丁目5番1号
日立製作所

(5950) 弁理士 小川 勝



46 003792

要 旨

1 発明の名称

半導体装置の製造法

2 特許請求の範囲

p型シリコン基板1の一部にn型拡散によるソース2およびドレイン3各領域を形成し、両領域にはさきれたp型基板1表面にシリコン酸化膜4を少なくとも含む絶縁膜を介してゲート0、となるべき金属層5を形成する半導体装置の製造において、上記シリコン酸化膜4と金属層5との間に、1000Å乃至1200Åで温度処理された酸化シリコン膜6を介在させることを特徴とする半導体装置の製造法。

3 発明の詳述と図

本発明は金属-絶縁物-シリコン構造の半導体装置の製造法に関する。

一般に絶縁膜として酸化膜(SiO₂)を用いた絶縁ゲートトランジスタ、いわゆるMOSトランジスタを含む半導体装置において、基板にp型シリコンを使用し、ソースおよびドレイン

(1)

をp+拡散により形成したp-チャンネルMOS構造の場合、表面単位帯の領域からp-基板表面にp+反転層を生じてソース、ドレイン間にp-チャンネルが形成される。しかるにこのp-チャンネルMOSはp-チャンネルが常時「オン」の状態(V_gが負)の素子(いわゆるデプリーション型)としてのみ使用が可能であり、これに反して「オフ」の状態を形成すること(いわゆるエンハンスメント型)が困難であるとされていた。

ところで、最近において上記絶縁膜として、SiO₂の半導体使用に代り、このSiO₂の上にシリコン窒化物(Si₃N₄)を積層させた、いわゆるMIS構造(MNOS構造とも称される)のものが半導体装置の保護強化の目的で使用されている。上記のSi₃N₄はその生成条件を考慮すれば、シリコン基板の表面保護として使用した場合、p-チャンネルを「オフ」の状態(V_gが正)とする現象が観察されている。本発明はこの点に着目し、上記現象を利用して、

(2)

ローチャネル型MOS構造で通常において「オフ」の状態を保つ素子を製造しようとするもので、その目的とするところは、従来ローチャネルMOSトランジスタでは得られなかった、動作範囲の広いエンハンス形の電界効果半導体装置の製造法を提供することにある。

本発明の要旨は、p型シリコン基板の一部にn型領域によるソースおよびドレイン各領域を形成し、上記各領域には含まれたp型基板表面にシリコン酸化膜を少なくとも含む絶縁膜を介してゲートとなるべき金属層を形成する半導体装置の製造法において、上記シリコン酸化膜と金属層との間に、1000乃至1200℃で温度処理された窒化シリコン膜を介在させることを特徴とするものである。

以下、実施例を参照し本発明を具体的に説明する。

第1図に示すように、p型シリコン基板1を用意し、この基板1の一面にn型不純物例えばリンの選択拡散によりn型ソース2およびド

(3)

レイン3および SiO_2 膜4の一部を順次に除去してn型領域の形成されたシリコン基板の一部(2, 3)を露出させる。最後に露出したシリコン基板1および Si_3N_4 膜5の表面にアルミニウム等の金属6を蒸着させ、所定の配線パターンに従って金属の不要部分を除去させることにより、第4図に示すようにソース電極8、ドレイン電極9および絶縁膜を介してゲート(第1ゲート)電極10、をそれぞれ形成する。

このようにして製造された半導体装置において、上記ゲート10、とソース8間に電圧を加えることにより、 SiO_2 膜5、 Si_3N_4 膜6からなるゲート絶縁膜下のp型基板1表面に少数キャリア(ローチャネル)の発生による空乏層7が形成され、ソース8、ドレイン9間の電流を制御し得る電界効果トランジスタが構成される。上記ゲート10、の絶縁膜は1000° ~ 1200℃で温度処理された Si_3N_4 、膜6を含むことから、通常の状態では上記絶縁膜下のシリコン基板表面にn+型の反転層を生じる

(5)

特開 昭47-18278 (2)

レイン3各領域をそれぞれ形成する。

上記シリコン基板表面1には拡散マスクとして熱生成されたシリコン酸化物(SiO_2)膜4が存在する。

上記 SiO_2 膜4の上に第2図に示すように窒化シリコン膜(Si_3N_4)5を形成する。この Si_3N_4 膜5の生成には、例えばモノシラン(SiH_4)とアンモニア(NH_3)との気相反応、または四塩化シリコン($SiCl_4$)とアンモニア(NH_3)および水素(H_2)との気相反応により形成し、その熱等1000℃ないし1200℃の温度条件下に行なうようにする。また、気相反応によらない方法、例えばスパッタリングの方法で Si_3N_4 膜を形成した場合においては、膜形成後1000° ~ 1200℃で焼結処理を行なうようにする。上記した SiO_2 膜4および Si_3N_4 膜5の厚さはそれぞれゲートの部分で300Å乃至800Å程度が適当である。

この後第3図に示すように、公知のホトリソグラフィ、エッチング処理によつて、 Si_3N_4

(4)

ことなく、電界効果トランジスタとしての特性は、第5図の典型Aに示されるようにゲート電圧 V_{GS} が+となつて初めてドレイン電流 I_D が流れるエンハンスメント型となる。これに対して曲線Bは従来のローチャネルMOSトランジスタの場合、すなわち絶縁膜として SiO_2 のみを使用するか、または、前記温度条件下で処理されない Si_3N_4 を使用した場合の特性をあらわし、ゲート電圧 V_{GS} は+でも-でも、-の状態でもドレイン電流 I_D が流れるデブリーション型となることを示している。

したがつて、本発明によつて製造されたローチャネルMOS(M18)構造の半導体装置においては、ローチャネルの場合であっても通常「オフ」の状態(V_{GS} が正)の素子として使用することができ、動作範囲を広くとることができるといふ効果をもたらすものである。

4. 図面の簡単な説明

第1図乃至第5図は本発明による製造法の各製造工程における半導体装置の縦断面図、第6

(6)

53-485

手続補正審(自発)

第53頁2, 3

特許法第17条の2による補正の掲載

昭和46年特許願第3792号(特開昭

47-18278号 昭和47年9月3日

発行公開特許公報47-319号掲載)につ

いては特許法第17条の2による補正があったので

下記の通り掲載する。

庁内整理番号

日本分類

6426 57

99G)E3

特許庁長官 殿

事件の表示

昭和46年 特許願第 3792 号

発明の名称

半導体装置の製造法

特許をする者

特許出願人
株式会社日立製作所 日立製作所

代理人

東京都中央区本町二丁目五番一号
株式会社日立製作所 日立製作所
(4440) 弁理士 小川 勝 男

特許の範囲

明細書の特許請求の範囲の欄及び図面の
簡単な説明の欄

補正の内容

1. 特許請求の範囲の欄を別紙の通り訂正する。
2. 明細書の第7頁第4行目の「電極層」を
「電極層」と訂正する。(4440)

特許請求の範囲

P型シリコン基板1の一部にa型拡散によるソ
ース2およびドレイン3各領域を形成し、両領域
にはさまれたP型基板1表面にシリコン酸化膜4
を少なくとも含む絶縁膜を介してゲートG、とな
るべき電極層6を形成する半導体装置の製造にお
いて、上記シリコン酸化膜4と電極層6との間に、
1000乃至1200℃で温度処理された窒化シリコ
ン膜5を介在させることを特徴とする半導体装置
の製造法。

代理人 弁理士 小川 勝 男

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.